



04eo 08-31-01
#4
500.40501X00

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): F. TAKAHASHI, et al.
Serial No.: 09 / 931,250
Filed: AUGUST 17, 2001
Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE.

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

SEPTEMBER 10, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001 - 155551
Filed: MAY 24, 2001

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



E6147-01 EX

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月24日

出 願 番 号

Application Number:

特願2001-155551

出 願 人

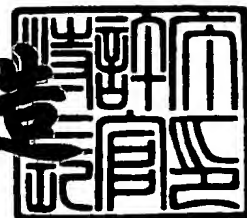
Applicant(s):

株式会社日立製作所

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073669

【書類名】 特許願

【整理番号】 H4190

【提出日】 平成13年 5月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

 【氏名】 高橋 史一

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

 【氏名】 山内 辰美

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

 【氏名】 村林 文夫

【発明者】

 【住所又は居所】 神奈川県秦野市堀山下1番地 株式会社 日立製作所 エンタープライズサーバー事業部内

 【氏名】 宮本 和久

【発明者】

 【住所又は居所】 神奈川県秦野市堀山下1番地 株式会社 日立製作所 エンタープライズサーバー事業部内

 【氏名】 口町 和治

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【手数料の表示】

【予納台帳番号】 113584

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

ドライバ回路 1 0 0 と、ドライバ回路 1 0 0 に接続する第一の長距離配線 1 0 4 と、第一の長距離配線 1 0 4 全線に亘って分布して接続される複数のゲート回路 1 0 3 を有し、入力信号 V I N をドライバ回路 1 0 0 及び第一の長距離配線 1 0 4 を介して複数のゲート回路 1 0 3 で受信するようにした半導体集積回路装置において、

ドライバ回路 1 0 0 の入力端子と第一の長距離配線 1 0 4 の末端に接続されるゲート回路 1 0 3 の入力端子近傍のノード 1 0 5 を、第二の長距離配線 1 0 6 および高速化回路 1 0 7 で接続したことを特徴とする半導体集積回路装置。

【請求項 2】

高速化回路 1 0 7 を P M O S トランジスタ 1 0 8 で構成したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

高速化回路 1 0 7 を N M O S トランジスタ 1 1 0 で構成し、第二の長距離配線 1 0 6 の入力側にバッファ回路 1 1 1 を挿入したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】

高速化回路 1 0 7 を、P M O S トランジスタ 1 1 4 と N M O S トランジスタ 1 1 5 から成る C M O S インバータにて構成したことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】

高速化回路 1 0 7 を複数個、第二の長距離配線 1 0 6 の途中の位置と第一の長距離配線 1 0 4 の前記位置に対応する位置に接続されるゲート回路 1 0 3 の入力端子近傍との間に追加挿入したことを特徴とする請求項 1 乃至 4 記載の半導体集積回路装置。

【請求項 6】

第二の長距離配線 1 0 6 の入力側にバッファ回路 2 0 0、2 0 1 を挿入したことを特徴とする請求項 1, 2, 4, 5 記載の半導体集積回路装置。

【請求項 7】

第二の長距離配線 1 0 6 の入力側にバッファ回路 2 0 0 を、出力側にバッファ回路 2 0 1 を挿入したことを特徴とする請求項 1, 2, 4, 5 記載の半導体集積回路装置。

【請求項 8】

入力信号 V I N としてワード線選択信号を、ドライバ回路 1 0 0 としてワード線ドライバを、第一の長距離配線 1 0 4 としてワード線 W L を、ゲート回路 1 0 3 としてメモリセルを、夫々用いたことを特徴とする請求項 1 乃至 7 記載の半導体集積回路装置。

【請求項 9】

入力信号 V I N としてクロック入力信号 V C K を、ドライバ回路 1 0 0 としてクロックドライバを、ゲート回路 1 0 3 としてフリップフロップ回路 2 0 3 を、夫々用いたことを特徴とする請求項 1 乃至 7 記載の半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特にチップサイズの大形化と配線の微細化が進んだ半導体集積回路装置において、クリティカルパスの遅延時間に占める配線遅延の割合を低減し、動作速度の向上を図るのに適した回路構成に関する。

【0 0 0 2】

【従来の技術】

従来、半導体集積回路装置における長距離配線を含むクリティカルパスにおいて、その動作の高速化の手法としては、(a) ゲート回路の負荷駆動力の向上、(b) 長距離配線の太幅化、(c) ゲート回路の多重化による出力負荷分散、などがあった。クリティカルパスに占める配線遅延の割合がゲート回路の遅延時間に比べて小さい場合には、前記した (a) ~ (c) のような高速化手法で効果が

あった。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかし、半導体集積回路の大型化と微細化が進み、クリティカルパスに占める配線遅延の割合がゲート回路の遅延時間に比べて大きい長距離配線多ファンアウトを一括で駆動するゲート回路方式においては、その出力負荷が大きくその出力波形が鈍り、さらに長距離配線通過後は配線のRC時定数により波形鈍りが大きくなってしまいますので、前記した(a)～(c)のような高速化手法の効果は小さくなっている。その理由を以下詳細に述べる。

【 0 0 0 4 】

(a)は、ゲート回路の負荷駆動トランジスタの動作抵抗に比べ配線抵抗が十分小さい場合は効果があったが、チップサイズの大型化と配線の微細化に伴ってゲート回路の負荷駆動トランジスタの動作抵抗に比べ配線抵抗が無視できなくなってきたおり、効果があがらなくなっている。それ故、(a)は容量性負荷には効果が上がっても配線抵抗などの抵抗性負荷にはさほど効果が上がらない。

(b)は(a)と併せて用いられることが多い。即ち(b)によって配線幅を広くして配線抵抗を小さくすると負荷の容量成分が大きくなってくるので、(a)を併せ用いて長距離配線をドライブするゲート回路の高速化を図るものである。しかし、配線幅を太くすると配線抵抗は小さくなるが逆に配線容量は大きくなってしまいますので、配線遅延時間が配線抵抗と配線容量の積で近似できることから配線遅延自体の改善効果は小さい。更に、(a)においても面積的オーバーヘッドあるいは消費電力などの観点から限界があり、高速化の効果も十分なものでなくなっている。(c)や、それに類似して長距離配線の途中に中継バッファを挿入して高速化を図る手法もあるが、信号の極性を合わせるためにインバータを2段挿入する必要が生じるし、やはり面積的な問題などから全てのケースについて高速化することは不可能である。

【 0 0 0 5 】

以上述べたように、長距離配線による配線遅延の増大、それによる長距離配線末端付近のゲート回路を通過するパスがクリティカルパスとなってしまう等の問

題は半導体集積回路の微細化と相反するものであり、今後ますます重要な課題となっていく。

【 0 0 0 6 】

本発明の目的は、面積的なオーバーヘッドを抑えつつ、半導体集積回路内のクリティカルパスに占める配線抵抗に起因する遅延時間の割合を低減し、クリティカルパスの高速化を図ると共に半導体集積回路装置の動作速度を向上することにある。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は、上記の課題を解決するために次のような手段を採用した。

【 0 0 0 8 】

ドライバ回路 1 0 0 と、ドライバ回路 1 0 0 に接続する第一の長距離配線 1 0 4 と、第一の長距離配線 1 0 4 全線に亘って分布して接続される複数のゲート回路 1 0 3 を有し、ドライバ回路 1 0 0 の出力信号を第一の長距離配線 1 0 4 を介して複数のゲート回路 1 0 3 で受信するようにした半導体集積回路装置において、ドライバ回路 1 0 0 の入力端子と第一の長距離配線 1 0 4 の末端に接続されるゲート回路 1 0 3 の入力端子近傍のノード 1 0 5 を、第二の長距離配線 1 0 6 および高速化回路 1 0 7 で接続する。

【 0 0 0 9 】

【発明の実施の形態】

以下、本発明の半導体集積回路装置の実施例を図面を用いて説明する。図中、同一或いは等価な部分には同一番号を付す。

【 0 0 1 0 】

図 1 に、本発明の半導体集積回路装置の第 1 の実施例を示す。図中、V I N は入力信号、1 0 0 は C M O S インバータ 1 0 1 で構成されたドライバ回路、1 0 4 は第一の長距離配線、1 0 3 は第一の長距離配線 1 0 4 に略等間隔で接続された複数の次段のゲート回路、1 0 6 は第二の長距離配線、1 0 7 は P M O S トランジスタ 1 0 8 で構成された高速化回路である。本構成の特徴は、例えば、メモリのワード線駆動方式などのような、あるドライバで数多くのファンアウトや長

距離配線を一括駆動するドライブ方式、即ち、第一の長距離配線 1 0 4 と複数のゲート回路 1 0 3 をドライブするドライバ回路 1 0 0 のような構成において、ドライバ回路 1 0 0 の入力と第一の長距離配線 1 0 4 の末端のノード 1 0 5 (CMOS インバータ 1 0 1 の出力ノード 1 0 2 から見て、物理的に最遠端に配置されるゲート回路 1 0 3 の入力端子近傍のノード 1 0 5) を、第二の長距離配線 1 0 6 と高速化回路 1 0 7 でバイパスしたことにある。

【 0 0 1 1 】

次に回路動作について説明する。入力信号 V_{IN} がハイレベルからロウレベルに変化すると、CMOS インバータ 1 0 1 の出力ノード 1 0 2 はロウからハイへと変換し、またノード 1 0 5 も同様にロウからハイへと変換をする。この時、ノード 1 0 2 の信号変化がノード 1 0 5 へ伝播する時間(配線遅延時間)は、長距離配線 1 0 4 の配線抵抗と、長距離配線 1 0 4 上に形成される全キャパシタンス(長距離配線 1 0 4 の配線容量と CMOS インバータ 1 0 1 のファンアウトである複数のゲート回路 1 0 3 の入力容量の総和)との積で近似できる。一方、入力信号 V_{IN} のハイからロウへの変化により、第二の長距離配線 1 0 6 を介した高速化回路 1 0 7 の入力ノード 1 0 9 もハイからロウへと変換する。そして、PMOS トランジスタ 1 0 8 がオンし、ノード 1 0 5 の電位を前記 CMOS インバータ 1 0 1 のドライブと同様にハイへと引き上げる。等しい長さの第一の長距離配線 1 0 4 と第二の長距離配線 1 0 6 において、配線にファンアウトとして接続されるゲート回路 1 0 3 が無い分だけ、第二の長距離配線 1 0 6 の配線遅延時間は第一の長距離配線 1 0 4 の配線遅延時間よりもはるかに短い。よって、入力信号 V_{IN} がハイからロウへ変化した際に、ノード 1 0 9 のハイからロウへの信号変化開始時刻は、CMOS インバータ 1 0 1 のドライブによりその出力信号が第一の長距離配線 1 0 4 を伝播して変化するノード 1 0 5 の信号変化開始時刻よりもずっと早いので、高速化回路 1 0 7 により、ノード 1 0 5 は第一の長距離配線 1 0 4 を通過してくる信号の到着を待つことなく、それよりも早い時間から信号の変化を開始することが可能となる。入力信号 V_{IN} がロウレベルからハイレベルに変化する場合は、高速化回路 1 0 7 内の PMOS トランジスタ 1 0 8 はカットオフするので、ノード 1 0 5 の電位は CMOS インバータ 1 0 1 によってのみ駆

動され第一の長距離配線 1 0 4 を介してハイからロウへ引き下げられることになる。

【 0 0 1 2 】

図 2 に、本発明の第 2 の実施例を示す。

【 0 0 1 3 】

本実施例は、前記第 1 実施例で述べた高速化回路 1 0 7 を PMOS トランジスタ 1 0 8 に代えて NMOS トランジスタ 1 1 0 で実現したものである。そして、前記第 1 実施例の回路動作と同じにするべく、極性合わせのために第二の長距離配線 1 0 6 の入力側にバッファ回路 1 1 1 を設けたものである。他の構成は全て前記第 1 実施例と同様である。本構成とすることで、前述した第 1 の実施例と同様の効果を得ることができる。なお、第 1 の実施例では第一の長距離配線 1 0 4 と第二の長距離配線 1 0 6 の電位の極性が逆であるので両長距離配線の間にクロストークが生じる恐れがあるが、本構成では極性が同じであるので、両長距離配線の間にクロストークが生じないという効果もある。

【 0 0 1 4 】

図 3 に、本発明の第 3 の実施例を示す。

【 0 0 1 5 】

第 1 の実施例（図 1）では、CMOS インバータ 1 0 1 の出力ノード 1 0 2 から見て、物理的に最遠端に配置されたゲート回路 1 0 3 の入力端子近傍のノード 1 0 5 に高速化回路 1 0 7 を設けることにより信号変化を加速している。しかし、第 1 の実施例のようにした場合は、第一の長距離配線 1 0 4 の途中の位置付近に配置されるゲート回路 1 0 3 の入力端子近傍のノードを通るパスがクリティカルパスとなる。そこで、そのゲート回路 1 0 3 付近のノード 1 1 2 の位置に高速化回路 1 0 7 を追加挿入することで、第 1 の実施例以上の高速化を達成することができる。その実施例が、図 3 に示した本発明の第 3 の実施例である。

【 0 0 1 6 】

本実施例では、高速化回路 1 0 7 の追加挿入位置は第一の長距離配線 1 0 4 の途中 1 箇所であるが、更に複数個追加挿入することで、より一層の配線遅延時間の低減が達成できる。これは何箇所であっても良い。ドライバ回路 1 0 0 のファ

ンアウト数、ドライバ回路 1 0 0 の出力に接続される配線の幅などを考慮して、配線遅延時間を最短にすべく、挿入箇所あるいは高速化回路 1 0 7 のサイズなどを選定すればよい。本実施例の効果は、容易な手段で選択的にクリティカルパスを高速化できる効果も持つ。

【 0 0 1 7 】

図 4 に、本発明の第 1 の適用例を示す。

【 0 0 1 8 】

本適用例は、前記第 3 の実施例をクロックの分配方式に適用するべく、入力信号 V I N としてクロック入力信号 V C K を、ドライバ回路 1 0 0 としてクロックドライバを、ゲート回路 1 0 3 としてフリップフロップ回路 2 0 3 を採用したものである。本適用例では、クロックドライバ回路 1 0 0 の入力と、クロックドライバ回路 1 0 0 (C M O S インバータ 1 0 1) の出力から見て最遠端及び中間付近にあるフリップフロップ回路 2 0 3 のクロック入力端子 C K を、高速化回路 (インバータ回路) 1 0 7 で接続してある様子が示されている。

【 0 0 1 9 】

図 5 に、本発明の第 4 の実施例を示す。

【 0 0 2 0 】

基本構成は第 1 の実施例 (図 1) と同じであるが、ドライバ回路 1 0 0 の入力と第二の長距離配線 1 0 6 の入力側端部との間にバッファ回路 2 0 0 および 2 0 1 を設けた点が異なる。第 1 の実施例の回路構成において、ドライバ回路 1 0 0 の前段に設けられる駆動回路 (入力信号 V I N を出力する回路) が駆動する負荷としては、C M O S インバータ 1 0 1 の入力容量と第二の長距離配線 1 0 6 の配線容量および抵抗がある。この第二の長距離配線 1 0 6 の分の負荷によって、前記駆動回路からの入力信号 V I N の遅延が著しく大きくなり高速化の効果が打ち消されるような場合は、本実施例は非常に有効である。即ち、バッファ回路 2 0 0 の M O S 寸法をできるだけ小さく選び (バッファ回路 2 0 1 の寸法はそれよりも大きく選ぶ) 第二の長距離配線 1 0 6 の分の負荷を小さくすることにより、前記入力信号 V I N の遅延を悪化させることなくバッファ回路 2 0 1 により、第二の長距離配線 1 0 6 と高速化回路 1 0 7 を高速にドライブすることができる。バ

ッファ回路 2 段分のディレイオーバーヘッドはあるものの、素子デバイスや電源電圧、プロセス、あるいはバッファ回路や高速化回路の素子サイズのチューニングなどによって、前記第 1 実施例での高速化分よりもさらに大きい効果を得ることが可能である。回路動作については前記第 1 実施例と同等であるので、ここでは省略する。

【 0 0 2 1 】

以上述べた第 1 ～第 4 の実施例の、ドライバで数多くのファンアウトや長距離配線を一括駆動するドライブ方式としては、複数のフリップフロップを駆動するクロックドライバを有するクロック分配（前記第 1 の適用例）や、メモリのワード線駆動方式（後で述べる第 2 の適用例）や、複数のセクタ回路の制御線を駆動するドライバを含めたバスなどがある。何れの形態においても、第 1 ～第 4 の実施例により前述したような効果を得ることができ、動作速度の向上を図ることができる。

【 0 0 2 2 】

図 6 に、本発明の第 5 の実施例を示す。

【 0 0 2 3 】

本実施例は、前記第 4 実施例（図 5）で述べた回路構成において、バッファ回路 2 0 1 を第二の長距離配線 1 0 6 の後に設けたものである。即ち、バッファ回路 2 0 1 により、第二の長距離配線 1 0 6 を通過した電圧波形をいったん波形整形して高速化回路 1 0 7 へ渡すことにより、PMOS トランジスタ 1 0 8 の応答性を向上させたものである。よって、ノード 1 0 5 の電圧応答も速くなり、長距離配線 1 0 4 の配線遅延のより一層の低減が期待できる。

【 0 0 2 4 】

図 7 に、本発明の第 2 の適用例を示す。

【 0 0 2 5 】

本適用例は、前記第 4 の実施例（図 5）を、メモリのワード線ドライブ方式に適用したものである。回路構成は第 4 の実施例と全く同じであり、ゲート回路 1 0 3 としてメモリセル 3 0 3 を、第一の長距離配線 1 0 4 としてワード線 WL を、第二の長距離配線 1 0 6 としてサブワード線を用いて構成されている。メモリ

セル 3 0 3 は、入力信号 V_{IN} がハイからロウに遷移しワード線 WL_{104} がロウからハイに遷移した時、活性化されてデータの読み出し或いは書き込みを行い（ワード線選択状態）、逆にワード線 WL_{104} がハイからロウに遷移した時メモリセルは非活性化されてデータの読み出し或いは書き込みは行わない（ワード線非選択状態）。

【 0 0 2 6 】

次に、回路動作について図 8 のタイミングチャートを用いて説明する。図中、ノード 1 0 5 の動作波形を二つ示しているが、点線で示してあるほうはバッファ回路 2 0 0 および 2 0 1、サブワード線 1 0 6、PMOS トランジスタ 1 0 8 から成るバイパス回路を設けない場合のものである。ワード線 WL の選択を行う図示しないデコード回路からの入力信号 V_{IN} （ワード線選択信号）がワード線ドライバ 1 0 0 に伝播してきて、入力信号 V_{IN} がハイからロウへ遷移する（ワード線選択状態）と、ワード線ドライバ 1 0 0 の出力ノード 1 0 2 はロウからハイに遷移する。そして、ワード線ドライバ 1 0 0 から見て一番遠くのビットにあるメモリセル 3 0 3 の入力端子近傍のノード 1 0 5 も、ワード線 1 0 4 の配線遅延時間を経て、ロウからハイに遷移する。点線で示してあるほうの波形を見ると、立ち上がりが随分鈍っている様子が示されてある。よって、これを受けるメモリセル 3 0 3 の応答は遅くなり、ワード線の配線遅延時間も大きい。次に実線のほうのノード 1 0 5 の波形では、入力信号 V_{IN} がハイからロウへ遷移したことで、バッファ回路 2 0 0 および 2 0 1、サブワード線 1 0 6 を介したノード 1 0 9 も同様にハイからロウへ遷移する。そして、PMOS トランジスタ 1 0 8 がオンする。等しい長さのワード線 1 0 4 とサブワード線 1 0 6 において、ビット数分だけファンアウトとして接続されるメモリセル 3 0 3 が無い分だけ、サブワード線 1 0 6 の配線遅延時間はワード線 1 0 4 のそれよりもはるかに短い。バッファ回路 2 0 0 および 2 0 1 と、PMOS トランジスタ 1 0 8 の素子サイズのチューニングにより、ノード 1 0 5 の電圧波形は図中点線の波形に比較して早い時刻から立ち上がりを開始し、また PMOS トランジスタ 1 0 8 により直接駆動されるので、ノード 1 0 2 の立ち上がり波形のごとく、図中点線の波形に比較して急峻な立ち上がり波形となる。従って、ワード線 WL の選択状態においてメモリセル

303の読み出し時間が高速になり、ワード線WLの配線遅延時間も大幅に低減される。入力信号VINがロウからハイへ遷移する（ワード線非選択状態）とワード線ドライバ100の出力ノード102はハイからロウに遷移する。そしてメモリセル303は非活性化されてデータの読み出しは行われぬ。この場合は、PMOSトランジスタ108はカットオフされ、ノード105の立ち下がり波形は図中点線および実線部ともに同じである。

【0027】

図9に、本発明の第3の適用例を示す。

【0028】

本適用例は、前記第3の実施例（図3）と第4の実施例（図5）を組み合わせ、クロックの分配方式に適用したものである。図中、VCKはクロック入力信号、100はクロックドライバ回路、203はフリップフロップ回路を表す。本適用例では、クロックドライバ回路100の出力から見て最遠端と中間付近にあるフリップフロップ回路203のクロック入力端子CKを高速化回路107で接続してある様子が示されている。本適用例では、高速化回路107の挿入位置は2箇所であるが、何箇所であっても良いことは第3の実施例で詳細に述べたとおりであり、説明は省略する。

【0029】

図10に、本発明の第6の実施例を示す。

【0030】

本実施例は、前記第4の実施例（図5）で述べた高速化回路107を、PMOSトランジスタ114とNMOSトランジスタ115から成るCMOSインバータで構成された高速化回路113で代えてなるものである。

【0031】

本実施例の動作において前記第4の実施例と異なるのは、高速化回路113の動作である。入力信号VINがロウからハイへと変化すると、バッファ回路200および201と第二の長距離配線106を介した高速化回路113の入力ノード109もロウからハイへと変化し、高速化回路113のNMOSトランジスタ115がオンし、ノード105の電位をロウ（アース電位）へと引き下げる（そ

の時、PMOSトランジスタ114はオフである)。入力信号VINがハイからロウに変化する場合は、高速化回路113の入力ノード109もハイからロウへと変化し、高速化回路113のPMOSトランジスタ114がオンし、ノード105の電位をハイ（電源電位）へと引き上げる（その時、NMOSトランジスタ115はオフである）。

【0032】

本実施例は以上述べたように動作するので、既に述べた実施例が長距離配線の電圧変化が立ち上がりの時のみを高速動作できるのに対して、立ち下がり時においても立ち上がり時同様の高速動作が可能となる。特に、前記第2の適用例（図7、図8）においては、高速化回路107を本実施例のような構成とすることにより、ワード線の非選択状態においても選択状態の時と同様の高速化を図ることができる。

【0033】

【発明の効果】

本発明によれば、長距離配線多ファンアウトを一括で駆動するゲート回路方式において、ドライバ回路100の一端からのみでなく、第二の長距離配線106と高速化回路107を使って早い時刻より他端からも信号変化を加速させることにより、配線遅延時間の大幅な低減が期待でき、クリティカルパスの高速化を図ると共に半導体集積回路装置の動作速度を向上することができる。また、長距離配線末端付近の波形は、そこへ物理的に近くに配置される高速化回路により駆動されるので、波形が急峻になりレシーバ回路の高速応答が可能となる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る半導体集積回路装置の第1の実施例を示す図である。

【図2】

本発明の実施の形態に係る半導体集積回路装置の第2の実施例を示す図である。

【図3】

本発明の実施の形態に係る半導体集積回路装置の第 3 の実施例を示す図である

【図 4】

本発明の実施の形態に係る半導体集積回路装置の第 1 の適用例を示す図である

【図 5】

本発明の実施の形態に係る半導体集積回路装置の第 4 の実施例を示す図である

【図 6】

本発明の実施の形態に係る半導体集積回路装置の第 5 の実施例を示す図である

【図 7】

本発明の実施の形態に係る半導体集積回路装置の第 2 の適用例を示す図である

【図 8】

本発明の実施の形態に係る半導体集積回路装置の第 2 の適用例の回路動作を説明するためのタイミングチャートを示す図である。

【図 9】

本発明の実施の形態に係る半導体集積回路装置の第 3 の適用例を示す図である

【図 1 0】

本発明の実施の形態に係る半導体集積回路装置の第 6 の実施例を示す図である

【符号の説明】

V I N 入力信号

V C K クロック信号

W L ワード線

1 0 0 ドライバ回路、クロックドライバ

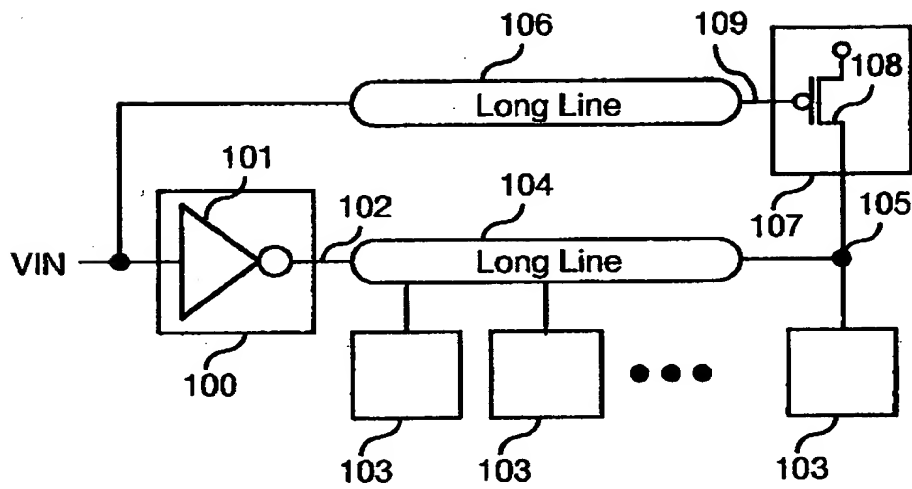
1 0 1 C M O S インバータ

102, 105, 109, 112 ノード
103 ゲート回路
104 第一の長距離配線
106 第二の長距離配線
107, 113 高速化回路
108, 114 PMOSトランジスタ
110, 115 NMOSトランジスタ
111, 200, 201 バッファ回路
203 フリップフロップ回路
303 メモリセル

【書類名】 図面

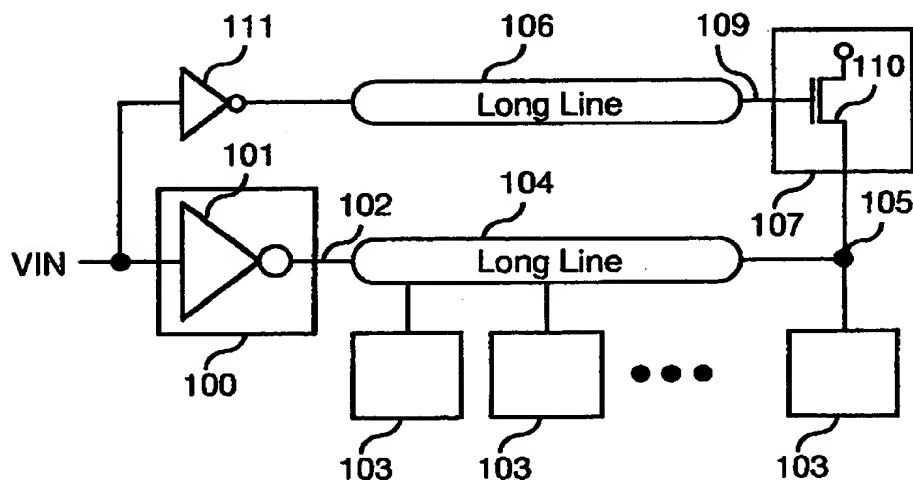
【図 1】

图 1



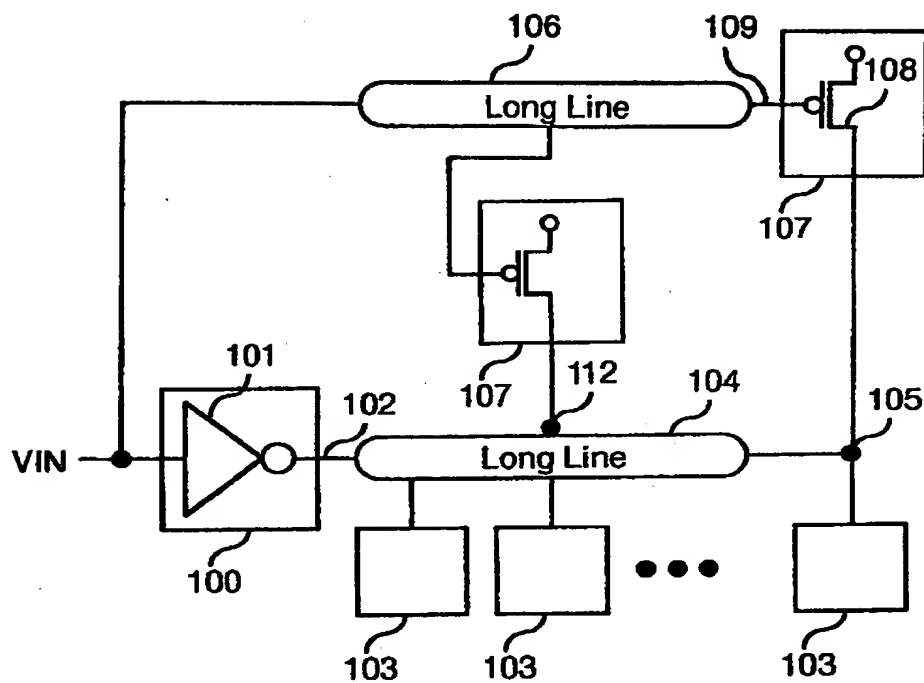
【図 2】

图 2



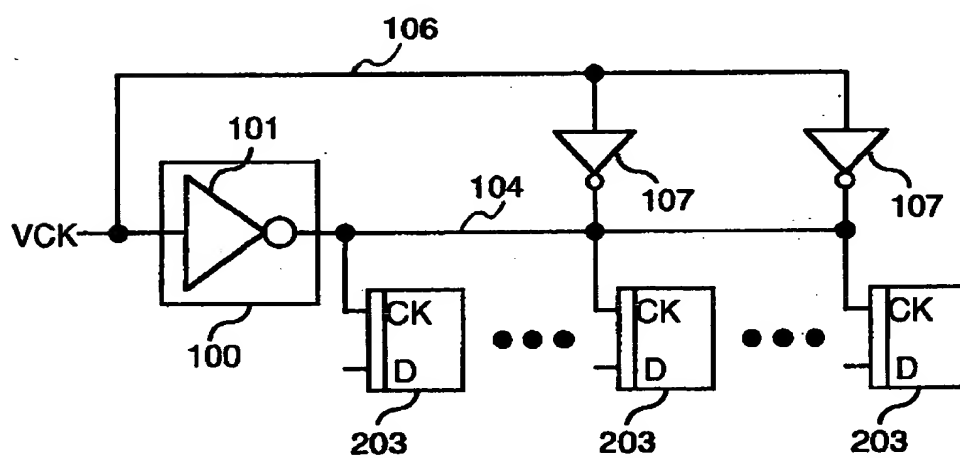
【図 3】

图 3



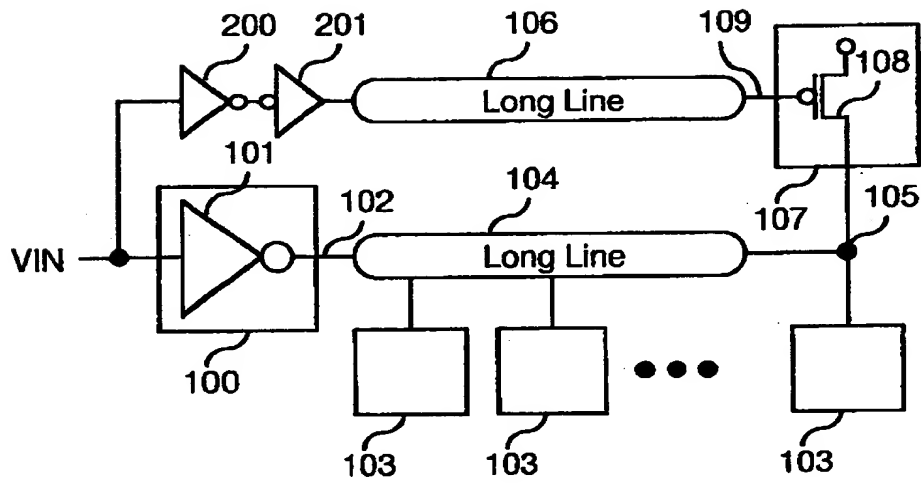
【図 4】

图 4



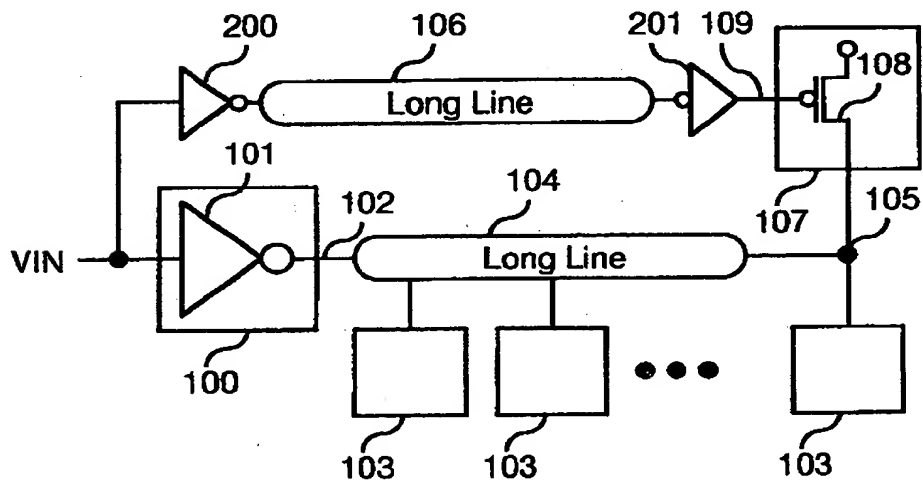
【図 5】

図 5



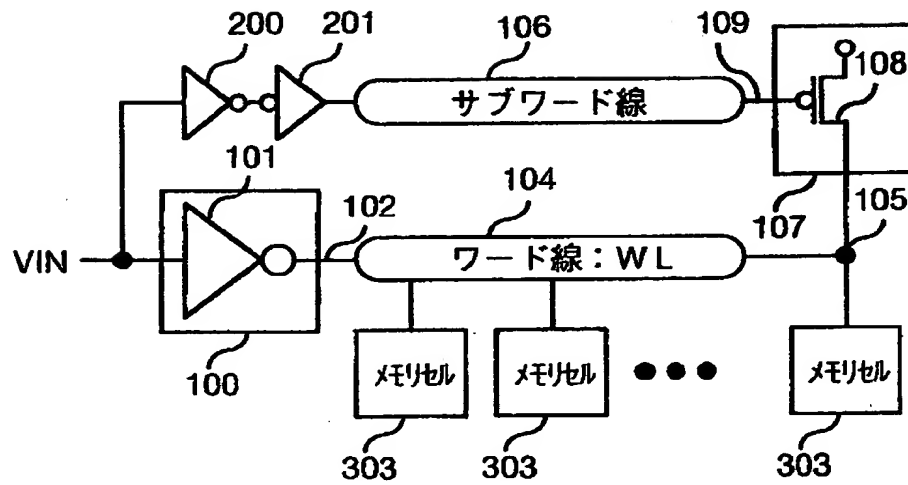
【図 6】

図 6



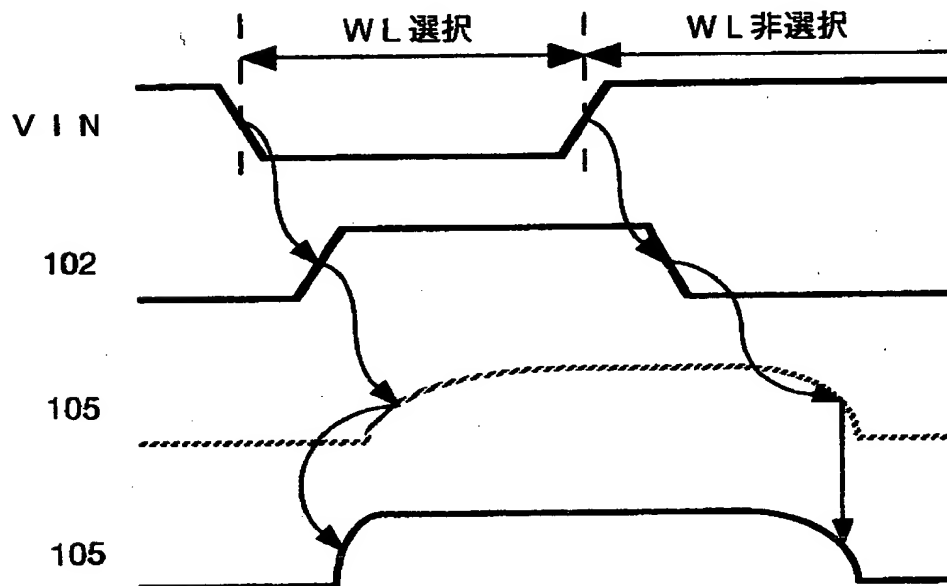
【図 7】

图7



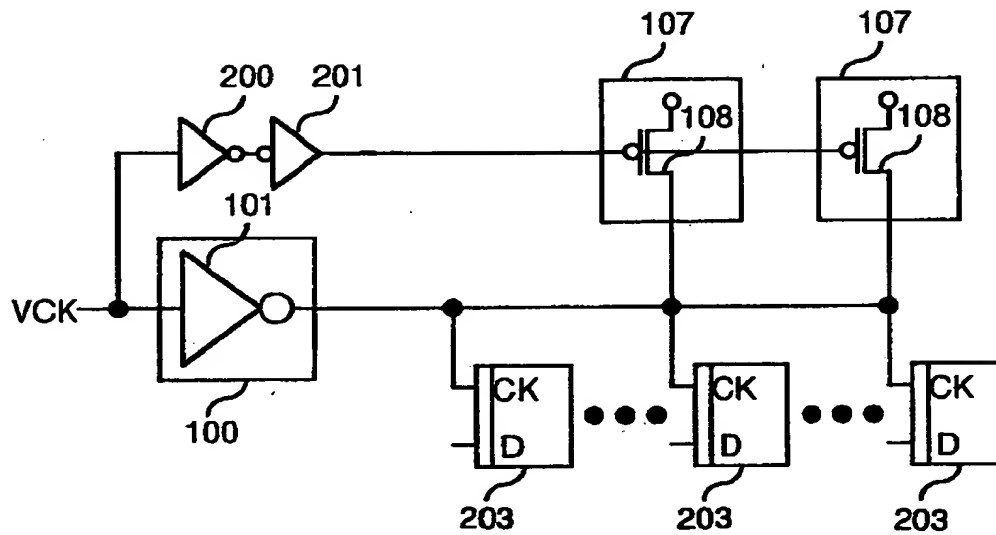
【図 8】

图 8



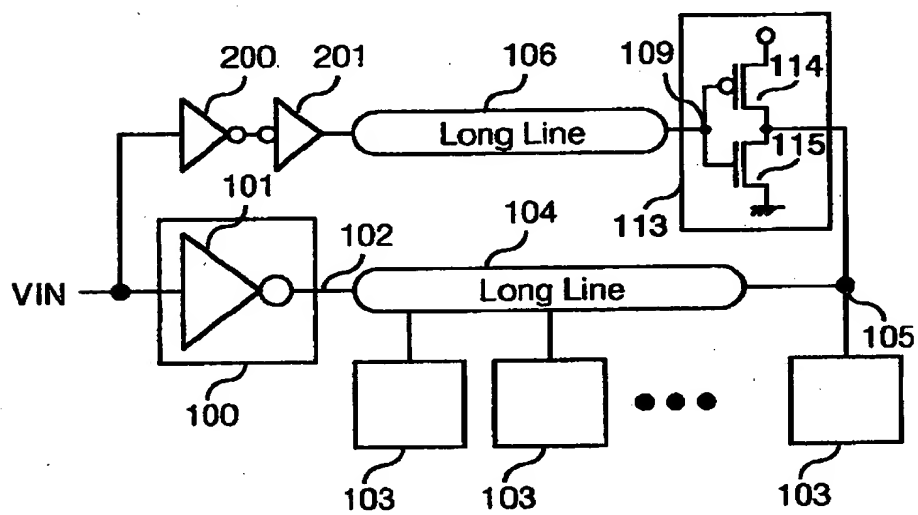
【図 9】

図 9



【図 10】

図 10



【書類名】 要約書

【要約】

【課題】半導体集積回路内のクリティカルパスに占める配線抵抗に起因する遅延時間の割合を低減し、クリティカルパスの高速化を図ると共に半導体集積回路装置の動作速度を向上すること。

【解決手段】ドライバ回路 1 0 0 と、ドライバ回路 1 0 0 に接続する第一の長距離配線 1 0 4 と、第一の長距離配線 1 0 4 全線に亘って分布して接続される複数のゲート回路 1 0 3 を有し、ドライバ回路 1 0 0 の出力信号を第一の長距離配線 1 0 4 を介して複数のゲート回路 1 0 3 で受信するようにした半導体集積回路装置において、ドライバ回路 1 0 0 の入力端子と第一の長距離配線 1 0 4 の末端に接続されるゲート回路 1 0 3 の入力端子近傍のノード 1 0 5 を、第二の長距離配線 1 0 6 および高速化回路 1 0 7 で接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所